


HIGH POWER MOS TYPE FIELD-EFFECT TRENCH TRANSISTOR DEVICE

Patent number: JP8107204
Publication date: 1996-04-23
Inventor: AJIT JANARDHANAN S
Applicant: INTERNATL RECTIFIER CORP
Classification:
- **International:** H01L29/78
- **European:**
Application number: JP19950221580 19950830
Priority number(s):

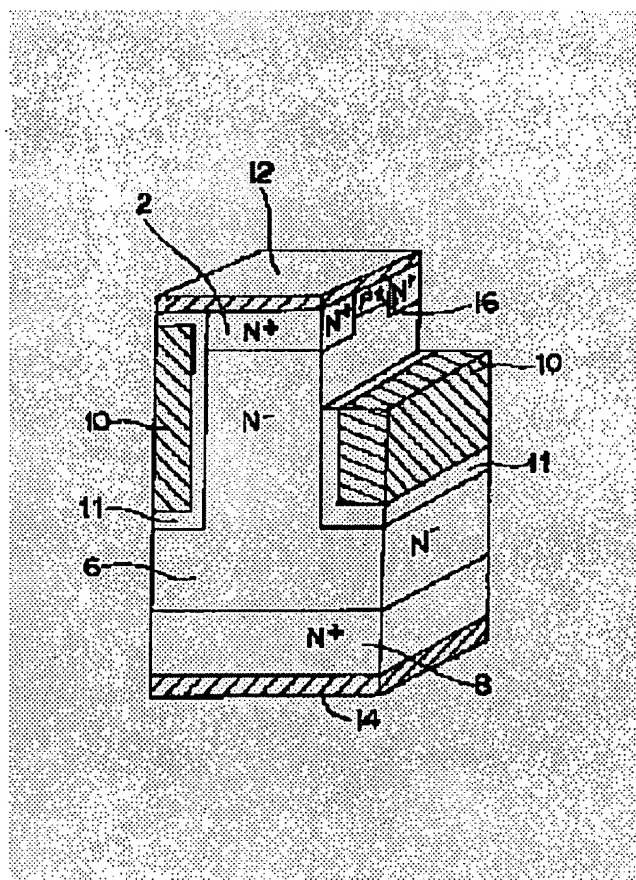
Also published as:

 US5581100 (A1)
ITMI951820 (A)
GB2292835 (A)
FR2725308 (A1)
DE19530109 (A1)

Abstract of JP8107204

PROBLEM TO BE SOLVED: To provide a trench transistor having low on-resistance by a method, wherein a wafer of a semiconductor material includes a first conductivity-type relatively lightly doped region (N^{+}), and a plurality of narrow trenches at specific intervals are extended to a portion of the N^{+} region vertically with respect to the wafer.

SOLUTION: An interior of a wafer contains a P^{+} -region 16, extending from an upper surface (coated with a source region 12) of the wafer and formed near an N^{+} -source area 2. When a negative pressure is applied to a gate 10 and a device is turned off (a forward inhibition state), the P^{+} -region 16 acts as a 'drain' sweeping holes formed favorably in an N^{+} -region 6 by trench p-channel MOSFETs. The gate electrode 10 is a 'gate', the N^{+} -region 6 is a 'channel' (reversed by the gate), and a hole formed by reversion of the N^{+} -region 6 is a 'source'. The P^{+} -region 16 operates as a drain for the holes.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-107204

(43) 公開日 平成8年(1996)4月23日

(51) Int.Cl.⁶
H 0 1 L 29/78

識別記号

庁内整理番号

F I

技術表示箇所

9055-4M

H 0 1 L 29/78

6 5 2 B

審査請求 未請求 請求項の数13 O L (全 9 頁)

(21) 出願番号 特願平7-221580

(22) 出願日 平成7年(1995)8月30日

(31) 優先権主張番号 2 9 8 4 6 2

(32) 優先日 1994年8月30日

(33) 優先権主張国 米国 (US)

(71) 出願人 591107551

インターナショナル・レクチファイヤー・
コーポレーションINTERNATIONAL RECTI
FIER CORPORATIONアメリカ合衆国カリフォルニア州エル・セ
グンド、カンザス・ストリート233番

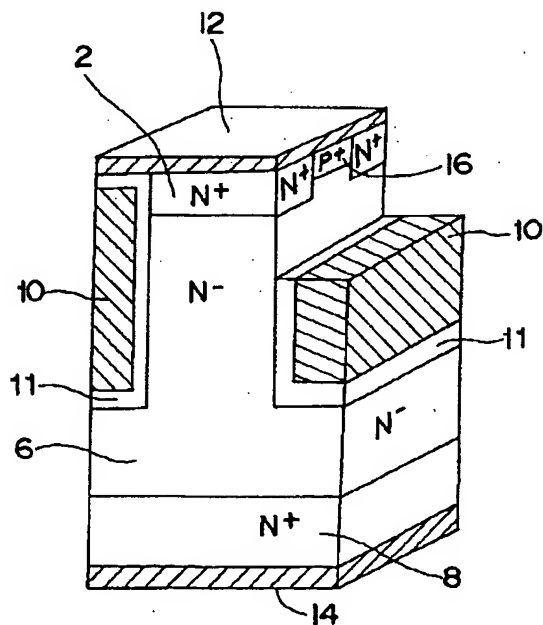
(72) 発明者 ジェナルドハナン・エス・アジット

アメリカ合衆国90278カリフォルニア州レ
ドンド・ビーチ、クラーク・レイン・ナン
バー2、1916番

(74) 代理人 弁理士 青山 葆 (外1名)

(54) 【発明の名称】 ハイパワーMOS型電界効果トレンチトランジスタデバイス

(57) 【要約】

【課題】 従来構造より、オン抵抗の低い、ハイパワー
MOS型電界効果トレンチトランジスタを得る。【解決手段】 1つの具体例では、深い空乏領域がト
レンチゲートの間に、順方向阻止性能を供給するために形
成される。他の具体例では、トレンチゲートからの空乏
およびゲートの間のP拡散からの接合空乏により、順方
向阻止が達成される。両具体例は、セル状に幾何学的に
形成されるのが好ましい。デバイスは、MOSゲート
が、深い空乏領域上の半導体ウェハの上部表面に水平伝
導配置に供給されるものでも良い。

【特許請求の範囲】

【請求項1】 比較的低いオン抵抗および比較的高いブレイクダウン電圧を示すハイパワーMOS型電界効果トレンチトランジスタデバイスにおいて、

半導体材料のウエハが、第1および第2の対向する半導体表面を有し、該半導体材料のウエハが比較的低くドーピングされた第1の導電型の領域を含み、間隔をあけた複数の狭いトレンチが、該ウエハ内に、該第1の半導体表面から垂直に延びて形成され、少なくとも該比較的低くドーピングされた領域の部分が、該トレンチの間に配置され、ゲート電極手段が、該トレンチの間に、該比較的低くドーピングされた領域の部分から、ゲート絶縁材料によって間隔をあけて配置され、

第1の比較的高くドーピングされた該第1の導電型の領域が、該第1の半導体表面と該比較的低くドーピングされた領域の間に隣接して配置され、

該第1の導電型と反対の第2の導電型の第1の領域が、該ウエハ内に、該第1の半導体表面から該第1の比較的高くドーピングされた該第1の導電型の領域に延びて、隣接して形成され、デバイスをオフにするために、該ゲート電極手段に、電圧が印加された場合、第2の導電型の第1の領域が、そこに深い空乏領域を作り、デバイスの高まった順方向阻止性能を供給するために、該ゲート間の、該比較的低くドーピングされた該第1の導電型の領域の該部分中の、該第2の導電型のキャリアのためのドレインを形成することからなる該ハイパワーMOS型電界効果トレンチトランジスタデバイス。

【請求項2】 更に、該第1の導電型と反対の該第2の導電型の第2の領域が、該ウエハ内に、該トレンチの間に、該第1の半導体表面から、該第1の比較的高くドーピングされた該第1の導電型の領域を通して、少なくとも該比較的低くドーピングされた該第1の導電型の領域の部分を通して延びるように形成され、対向する該トレンチから、該第1の比較的高くドーピングされた第1の導電型領域により、および該第2の導電型の該第2の領域がその中を通して延びる該比較的低くドーピングされた該第1の導電型の領域の該部分により、間隔をおいて配置された該第2の導電型の該第2の領域と、

デバイスをオフにするために、該ゲート電極手段に、該電圧が印加された場合、該ゲートの間の該第1の導電型の該比較的低くドーピングされた領域の該部分中に生み出された該第1の導電型のキャリアが、デバイスの順方向阻止性能をさらに増幅するためのゲート空乏層と接合空乏層の動作により、該ゲート電極手段の間の該比較的低くドーピングされた該第1の導電型領域から排除されることからなる請求項1のハイパワーMOS型電界効果トレンチトランジスタデバイス。

【請求項3】 該トレンチが、互いに、該第1および第2の半導体表面に平行な第1の長さ方向に延び、

該トレンチに配置される該ゲート電極手段が、該第1の

長さ方向に延びたそれぞれの縦の面を有し、

該第2の導電型の該第1の領域が、該第1の長さ方向に垂直な第2の長さ方向に延びる請求項1のハイパワーMOS型電界効果トレンチトランジスタデバイス。

【請求項4】 該トレンチが、該第1および第2の半導体表面に平行な、第1の長さ方向にそれぞれ延びて、該トレンチに配置された該ゲート電極手段が、該第1の長さ方向に延びた、それぞれの長さ方向の面を有し、該第2の導電型の該第1の領域が、該第1の長さ方向に垂直な第2の長さ方向に延び、

該第2の導電型の該第2の領域が、該第1の長さ方向に延びた、請求項3のハイパワーMOS型電界効果トレンチトランジスタデバイス。

【請求項5】 比較的低いオン抵抗および比較的高いブレイクダウン電圧を示すハイパワーMOS型電界効果トレンチトランジスタデバイスにおいて、

半導体材料のウエハが、第1および第2の対向する半導体表面を有し、該半導体材料のウエハが比較的低くドーピングされた第1の導電型の領域を含み、間隔をあけた複数の狭いトレンチが、該ウエハ内に、該第1の半導体表面から垂直に延びて形成され、少なくとも該比較的低くドーピングされた領域の部分が、該トレンチの間に配置され、ゲート電極手段が、該トレンチの間に、該比較的低くドーピングされた領域の部分から、ゲート絶縁材料によって間隔をあけて配置され、

第1の比較的高くドーピングされた該第1の導電型の領域が、該第1の半導体表面と該比較的低くドーピングされた領域の間に隣接して配置され、

該第1の導電型に対する第2の導電型の第1の領域が、該ウエハ内に、該トレンチの間に、該第1の半導体表面から、該第1の比較的高くドーピングされた該第1の導電型の領域、および少なくとも該比較的低くドーピングされた該第1の導電型の領域の部分を通して延びて形成され、該第2の導電型の該第1の領域が、該第1の比較的高くドーピングされた該第1の導電型の領域によって、そして該第2の導電型の該第1の領域がそこを通して延びる該比較的低くドーピングされた該第1の導電型の領域の該部分によって、対向する該トレンチから間隔をおいて配置され、電圧が、デバイスをオフにするために該ゲート電極手段に印加された場合、デバイスに高められた順方向阻止性能を供給するために、ゲート空乏層および接合空乏層の動作により、該ゲートの間で、該第2の導電型の該第1の領域が、該比較的高くドーピングされた該第1の導電型の領域からの該第1の導電型のキャリアを空にするようになっている該ハイパワーMOS型電界効果トレンチトランジスタデバイス。

【請求項6】 該トレンチがそれぞれ、該第1および第2の半導体表面に平行な第1の長さ方向に延び、該トレンチ内に配置された該ゲート電極手段が、該第1の長さ方向に延びる、それぞれの長さ方向の面を有し、

該第2の導電型の該第1の領域が、該第1の長さ方向に広がる請求項5のハイパワーMOS型電界効果トレンチトランジスタデバイス。

【請求項7】 該第1の導電型の該比較的低くドーブされた領域が、該トレンチの下および横の下に延びた、請求項1、2または5のハイパワーMOS型電界効果トレンチトランジスタデバイス。

【請求項8】 更に、該第2の半導体表面および該比較的低くドーブされた該第1の導電型の領域の間に、隣接して配置された第2の比較的高くドーブされた第1の導電型の領域からなる請求項1、2、または5のハイパワーMOS型電界効果トレンチトランジスタデバイス。

【請求項9】 該第2の比較的高くドーブされた該第1の導電型の領域が、該第2の半導体表面から、該トレンチの間を上の方に延びている請求項8のハイパワーMOS型電界効果トレンチトランジスタデバイス。

【請求項10】 更に、該第2の半導体表面および該比較的低くドーブされた該第1の導電型の領域の間に、隣接して配置された第1の比較的高くドーブされた該第2の導電型の領域からなる請求項1、2または5のハイパワーMOS型電界効果トレンチトランジスタデバイス。

【請求項11】 該デバイスが、平行に接続された複数の六角形のセルからなるセル状のトポロジー状態に供給された請求項1、2または5のハイパワーMOS型電界効果トレンチトランジスタデバイス。

【請求項12】 比較的低いオン抵抗および比較的高いブレイクダウン電圧を示すハイパワーMOS型電界効果トレンチトランジスタデバイスにおいて、半導体材料のウエハが第1および第2の対向する半導体表面を有し、

比較的低くドーブされた第1導電型の領域が、該ウエハ内に、該第1の半導体表面から該ウエハの基板部分に延びて形成され、該基板部分が第2の導電型の領域からなり、

ゲート絶縁手段が、該第1の半導体表面の上に、および少なくとも該比較的低くドーブされた該第1の導電型の領域の上に配置され、

ゲート電極手段が、該ゲート絶縁手段上に配置され、比較的高くドーブされた該第1の導電型のドレイン領域が、該ウエハ内に、該第1の半導体表面から該ウエハの該基板部分に延びて形成され、該ドレイン領域が、第1のサイドの上の該比較的低くドーブされた該第1の導電型の領域の横に、隣接して配置され、

比較的高くドーブされた該第1の導電型のソース領域が、該ウエハ内に、該第1の半導体表面から該ウエハの該基板部分に延びて形成され、該ソース領域が、第1のサイドに対向する第2のサイド上の該比較的低くドーブされた該第1の導電型の領域の横に、隣接して配置され、

該第1の導電型の反対の第2の導電型の第1の領域が、

該ウエハ内に、該第1の半導体表面から、該第1の比較的高くドーブされた該第1の導電型のソース領域に隣接して、少なくとも部分的に同一の広がりを持って形成され、

該ゲート電極手段に該第1の導電型と同じ極性の電圧が印加された場合、該第2の導電型の該第1の領域が、そこに深い空乏領域を形成し、デバイスの高まった順方向阻止性能を供給するために、該ゲート電極手段の下の該比較的低くドーブされた該第1の導電型の領域の該部分の中の該第2の導電型のキャリアのために、ドレインを形成することからなる該ハイパワーMOS型電界効果トレンチトランジスタデバイス。

【請求項13】 該第1の導電型がN型よりなり、該第2の導電型がP型よりなる請求項1、2、5または12のハイパワーMOS型電界効果トレンチトランジスタデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ハイパワーMOSFETおよび、特にトレンチMOSゲート構造を採用した低いオン抵抗のハイパワーMOS型電界効果トレンチトランジスタに関する。

【0002】

【従来の技術】半導体装置の取り扱い性能の活用には、セル記録密度を最大にすることが、本質的である。経験的にも解析的にも、デバイス物理の限界は、一般にDMOSとして知られている、セルフアライン、ダブル拡散により形成される表面チャネルを用いたMOSFETのように、セル記録密度の進歩に限定されることは明らかである。

【0003】セル記録密度の改良が、標準的なDMOS構造よりむしろトレンチMOSゲート構造の利用により達成することができる。トレンチゲート構造におけるJFETピンチング効果の欠如も、DMOS構造に比較して、低いオン状態の抵抗となるために重要である。低いオン抵抗は、特にMOSFETが、例えば自動車用エレクトロニクスのような低周波パワーエレクトロニクス仕様に用いられる場合に重要である。

【0004】従来のトレンチ・パワーMOSFETを図1に示す。デバイスは、N⁺ソース領域2、Pベースまたはチャネル領域4、N⁻領域6およびN⁺領域8を含む。ポリシリコンゲート10はPベース4の両側のトレンチに形成され、それゆえに薄い酸化領域11により分離される。デバイスの上部表面上のソース電極12は、ソース領域2を覆う。デバイスの下部表面上のドレイン電極14はN⁺領域8を覆う。

【0005】

【発明が解決しようとする課題】図1のデバイスの動作は、以下の通りである。ソース電極12に対し、ドレイン電極14を正にし、正の電位をゲート10に印加した

場合、電流がデバイスを通して、上部へ流れる。ゲート10の正のポテンシャルは、Pベース4を反転させ、そこにn-チャネルを形成し、電流がドレインからソースに流れることを可能にする。図1のトレンチパワーMOSFETが、セル記録密度の点で、DMOSより十分優れている一方、構造にPベースを含むことで、p-チャネルが反転した場合、チャネル抵抗となり、オン抵抗の一因となり望ましくない。加えて、図1に示す従来のトレンチ・パワーMOSFETは、寄生P-N接合を有し、同期整流中の問題となっていた。

【0006】エンハンスメント構造のトレンチ・パワーMOSFETを図2に示すが、同様の部分は、同様の引用番号で示される。B. Baligaにより、IEEE Electron Device LettersのVol. 13, No. 8, August 1992の427-29頁に"The Accumulation-Mode Field-Effect Transistor: A New Ultralow On-Resistance MOSFET"として表されたこのデバイスは、Pベース領域を含まず、それゆえにソースとドレイン領域の間にP-N接合を有しない。図1に示すデプレッション型トレンチ・パワーMOSFETと異なり、図2のデバイスでは、電流伝導はトレンチサイドウォールに沿って形成された蓄積層の表面に沿って起こり、結果として大変低いオン抵抗となる。加えて、図2のデバイスでは、 $1 \times 10^{14} \text{ cm}^{-3}$ より低くドーピングされたドリフト領域が用いることができ、一方、図1のトレンチ・パワーMOSFETには、最適ドリフト領域ドーピングとして $2 \times 10^{15} \text{ cm}^{-3}$ が必要とされる。更に、図2の構造は、好都合に、寄生P-N接合を含まない。図2のデバイスをオフにするために、N⁻領域6のを反転させるためにゲート10に電位が供給される。しかし、図2のデバイスでは、MOSゲートによる空乏層幅はN⁻ドリフト領域中のホールの反転領域の形成により限定される。これは、デバイスの順方向阻止性能を限定する。

【0007】

【課題を解決するための手段】本発明は、従来技術の上述の欠陥を克服する独特の構造を有するトレンチ・パワーMOSFETについてである。好都合に、本発明は、図2のトレンチ・パワーMOSFETのようにPベース領域を持たず、これによりP-N接合も無い。このように、本発明のトレンチ・パワーMOSFETは、第1および第2（例えば上と下）の反対側の半導体表面を有する半導体材料のウエハ内に形成され、該半導体材料のウエハは第1の導電型の比較的低ドーピング領域、好ましくはN⁻を含み、複数の一定間隔の狭いトレンチがウエハに垂直に、ウエハの上面から少なくとも上部半導体表面からトレンチの間に配置されたN⁻領域の部分に延びて形成される。ポリシリコンゲートは、トレンチの間に配置

され、ゲート絶縁材料によって間にはさまれたN⁻領域の部分から一定の間隔を保っている。第1の導電型、例えばN⁻の第1の比較的高いドーピング領域は、上部半導体表面およびN⁻領域の間に近接して配置される。

【0008】しかしながら、本発明は、第1の具体例では、ウエハに形成され、例えばソース領域のような、上部N⁻領域に近接し、少なくとも部分的には同一の広がりを持つP⁺の介在物により、図2の従来技術のデバイスを改良するものである。デバイスをオフにするための負のゲート電圧の印加により、付加されたP⁺領域は、N⁻領域で形成された正孔のドレインを形成する。このように、正孔が形成されるやいなや、これらは、トレンチp-チャネルMOSFETの電場により、P⁺領域に掃き出される。この効果を以後、"深い空乏"と呼ぶ。深い空乏は、電子の流れに対するポテンシャル障壁を形成し、デバイスの順方向阻止性能を大幅に改良することにより、トレンチMOSゲートの間のN⁻領域を大変有効にピンチオフする。図2の従来技術構造と異なり、MOSゲートによる空乏層幅は、正孔の反転層の形成により限定されない。このことは、本発明の構造のトレンチ・ゲートが、より間隔を置いて配置でき、ブレイクダウン電圧を改良し、リーク電流を減少させ、製造を簡単にする。正電圧をゲートに印加したオン状態において、電流伝導は、従来技術の図2のデバイスのように、主に、トレンチ側のシリコン表面に形成された蓄積層を通してなされる。電子の有効移動度は蓄積層において、反転層より高いので、本発明のデバイスのオン抵抗は、図2の従来技術のデバイスのように、従来のトレンチ・パワーMOSFETより、さらに低くなる。

【0009】本発明の第2の具体例では、P⁺拡散はゲートの間のN⁻領域の中央に形成される。P⁺拡散は、P⁺拡散と、負電位をゲートに印加したMOSゲート（例えば、JFET動作）の間のN⁻領域の部分のピンチオフを引き起こす。発明の他の具体例では、P⁺領域は、デバイスの上表面にN⁻ソースから間をあけて形成され（第1の具体例のように）、更にゲートの間のN⁻領域内の中央に（発明の第2の具体例のように）形成される。本発明は、更に好ましくは、下部半導体表面とN⁻領域（MOSFETの具体例において）の間に、近接したN⁻領域を含み、またはデバイスの下部半導体表面とN⁻領域の間に、近接したP⁺領域を含むものであり、それゆえに、（例えばIGBTの具体例のように）トレンチMOSFETとともに、直列のPNダイオードからなる構造を形成する。好都合に、発明の全ての具体例は、シリコンの表面上に互いに間隔をおいた円形のトレンチが、セル状の幾何学状態を満たすことができる。加えて、全ての具体例において、N⁻領域とゲートの重複は、デバイスのブレイクダウン電圧またはオン抵抗性能を最適化するために変化させることができる。本発明は、また、水平伝導構造で供給されても良い。かかる場

合、ゲートは、トレンチ内よりむしろN⁺拡散領域上のデバイス上部表面上に配置される。本発明の他の特徴および利点は、伴った図に言及する以下の本発明の説明から明らかに成るだろう。

【0010】

【発明の実施の形態】本発明の新しいトレンチ・パワーMOSFETの第1の具体例を図3に示す。その中に示されたように、本発明は図2の従来技術と似た構造を有するが、加えて、ウェハ内に、ウェハの（ソース領域12により覆われた）上部表面から延びてN⁺ソース領域2に近接して形成されたP⁺領域16を含む。図3に示したように、負電圧がゲート10に印加され、デバイスがオフの場合（順方向阻止状態）、トレンチp-チャネルMOSFETにより、好都合に、P⁺領域16が、N⁺領域6に形成された正孔を掃き出す”ドレイン”として働き、ゲート電極10が”ゲート”、N⁺領域6が（ゲートにより反転された）”チャンネル”、N⁺領域6の反転により形成されたホールが”ソース”となる。P⁺領域16は、このように、正孔にとってドレインとして動*

*作し、結果として以下の利点を有する。

【0011】第1に、P⁺ドレイン領域16は、デバイスがオフ状態の場合、正孔の反転領域の形成を防ぎ、これにより、従来技術の図2のデバイスの性能の第1の限界、即ち、ゲートに隣接した空乏層の深さの限界を克服できる。このように、本発明のP⁺ドレイン領域16は、オフ状態でのゲートに隣接した増加した空乏層（”深い空乏”）を引き起こす。これは、オフ状態のソース12とドレイン14の間の電子の流れに対する電位障壁を増加し、減少したリーク電流、より高いブレイクダウン電圧を導く。

【0012】第2に、本発明における正孔の反転層の排除は、図2のデバイスを含むVLSIデバイスの重要なリーク・メカニズムである、バンドからバンドへのトンネル・リーク電流を排除する。

【0013】図3に示した、本発明の具体例は、以下の表に示したパラメータによりシミュレートしたものである。

【表1】

| パラメータ | 値 |
|----------------------------|-----------------------------------|
| セル・ピッチ（図17（b）参照） | 3 μm |
| N ⁺ ドリフト領域ドーピング | $1 \times 10^{14} \text{cm}^{-3}$ |
| トレンチ深さ | 4 μm |
| トレンチ幅 | 2 μm |
| トレンチ間距離（図17（b）参照） | 1 μm |
| ゲート酸化膜厚 | 500 Å |
| ソース金属コンタクトウインドウ | 0.8 μm |
| P ⁺ 表面濃度 | $1 \times 10^{20} \text{cm}^{-3}$ |
| P ⁺ 接続深さ | 0.3 μm |
| N ⁺ ソース表面濃度 | $1 \times 10^{18} \text{cm}^{-3}$ |
| N ⁺ ソース接続深さ | 0.7 μm |

前述のパラメータを用いたシミュレーションの結果では、60V以上の順方向阻止電圧を示した。オン抵抗 R_{on} は、0.076 $\text{m}\Omega \cdot \text{cm}^2$ であることが見出され、これは従来のトレンチ・パワーMOSFETのオン抵抗より十分低い。完全にゲートで制御される特性と、0.8Vのしきい値電圧が得られた。いろいろのオン抵抗成分を用いた R_{on} の理論的計算は、これらの結果と良く一致する。ここで図4について言及すると、本発明の第2の具体例が示されるが、ここでは、P⁺領域18が、ウェハの上部表面からN⁺ソース領域の中央を通して、N⁺ドリフト領域6に拡散される。図5（b）に、中央のP⁺領域18がN⁺領域8までずっと延びた、図5（a）の代わりの構造を示す。図6および7には、図3および4のそれぞれ具体例に対応する、代わりの構造を示す。これらは、より浅いN⁺ドリフト領域6を有し、

これにより、より低いオン抵抗のみならず、より低いブレイクダウン電圧となる。図8および9には、再び図3および4のそれぞれに対応する、図6および7の具体例よりむしろ浅いN⁺ドリフト領域6を有する、他の代わりの具体例を示す。図8および9の具体例は、より低いオン抵抗を有し、比較的低いブレイクダウン電圧ゆえに、低電圧用途に用いられる。

【0014】好都合に、本発明は、セル状のトポロジーに供給することができる。例えば、図17（a）および17（b）は、図3の具体例のマルチ・セルの断面図および上面図をそれぞれ示す。代わりに、好ましくは、各ユニット・セルは多角形の形状で供給されることができる。図10、11および12に、図3、4および5のそれぞれの具体例のための好ましい6角形のセル構造の上面図を示す。図13-15に、N⁺領域8がP⁺領域20

により置き換えられた発明の他の具体例を示す。このように、図13に示すように、従来技術図2の構造は、トレンチ・トランジスタと直列にPN接合を形成するように改良することができ、これにより、IGBTデバイスを作製できる。同様に、図14および15に、図3および4の具体例にそれぞれ対応するIGBT構造を示す。図示しないが、図5に示される発明の結合された具体例でも、同様に、IGBT構造を供給することができる。同様に、IGBT構造は、(図10-12に対応して)セル状のトポロジーで、そして/または、より低電圧動作におけるオン抵抗を改良するために、図6-9に示すように、より浅いN⁻ドリフト領域6を有した状態でも、満たされることができる。

【0015】図16に、デバイスがP⁺基板22上に形成された、発明の水平伝導の具体例を示す。オン状態において、電流は、N⁺ドレイン領域24から、N⁻ドリフト領域26を通して、N⁺ソース領域28に流れる。図3の、垂直伝導の具体例と一致するように、P⁺ドレイン領域30が、半導体ウエハ上に、N⁺ソース領域28に隣接する場所に、上部表面からウエハ内に延びて形成される。MOSゲート32は、N⁻ドリフト領域26にかぶさる。MOSゲート32に、負電圧を印加した状態では、P⁺領域30は、N⁻ドリフト領域26で形成された正孔のためのドレインを形成する。このように、ふたたび、正孔が形成されるやいなや、正孔は電場により、縦型p-チャンネルMOSFETにより、P⁺領域30に掃き出され、結果としてN⁻ドリフト領域26の“深い空乏”となる。明らかに、本発明の多くの他の態様が可能である。例えば、前に述べた全ての具体例において、領域のドーピング極性をおよび印加電圧を逆にすることができ、これにより、電流も逆方向に流れる。

【0016】このように、本発明は、特別な具体例と関連して述べられてきたが、多くの他の態様や改良や他の使用が、技術の中の熟練においてそれらが明らかになる。それゆえに、本発明はここでの特別な発表によってではなく、添付された請求項により、限定されることが好ましい。

【図面の簡単な説明】

【図1】 従来技術のデプレッション型トレンチ・パワーMOSFETの構造を示す。

【図2】 従来技術のエンハンスメント型トレンチ・パワーMOSFETの構造を示す。

【図3】 エンハンスメント型デバイスの上部表面から延びた、加えられたP⁺ドレイン領域を有する本発明の第1の具体例である。

【図4】 N⁺ソース領域の中央を通して、トレンチゲ

ートの間のN⁻ドリフト領域の中へ、ウエハの上部表面から拡散されたP⁺領域を有する本発明の第2の具体例を示す。

【図5】 図3および図4のP⁺領域が供給された、発明の組み合わせられた具体例を示す。；図5(b)は、N⁺ドレイン領域にまでずっと延びた中央のP⁺領域を有する図5(a)の代わりの構造を示す。

【図6】 図3の具体例に対応する他の構造を示す。これらは、浅いN⁻ドリフト領域を有し、それゆえに低オン抵抗のみならず低ブレイクダウン電圧をも有する。

【図7】 図4の具体例に対応する他の構造を示す。これらは、浅いN⁻ドリフト領域を有し、それゆえに低オン抵抗のみならず低ブレイクダウン電圧をも有する。

【図8】 図6の具体例より、いっそう浅いN⁻ドリフト領域を有する、図3の具体例に再度対応する、他の代わりの構造を示す。

【図9】 図7の具体例より、いっそう浅いN⁻ドリフト領域を有する、図4の具体例に再度対応する、他の代わりの構造を示す。

【図10】 図3の具体例の、好ましい六角形セル構造の上面図を示す。

【図11】 図4の具体例の、好ましい六角形セル構造の上面図を示す。

【図12】 図5の具体例の、好ましい六角形セル構造の上面図を示す。

【図13】 デバイス下部表面において、N⁺領域がP⁺領域により置き換えられた発明のIGBT具体例を示す。

【図14】 デバイス下部表面において、N⁺領域がP⁺領域により置き換えられた発明のIGBT具体例を示す。

【図15】 デバイス下部表面において、N⁺領域がP⁺領域により置き換えられた発明のIGBT具体例を示す。

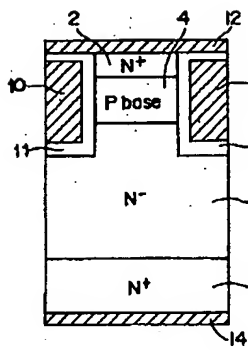
【図16】 本発明の水平伝導の具体例を示す。

【図17】 図17(a)は、本発明の第1の具体例の複数のセルの断面図を示す。；図17(b)は、本発明の第1の具体例の複数のセルの上面図を示す

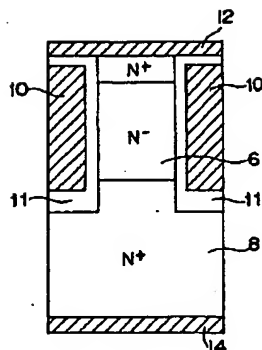
【符号の説明】

- 2 N⁺ソース領域、4 Pベースまたはチャンネル領域、6 N⁻領域、8 N⁺領域、10 ポリシリコンゲート、11 薄い酸化領域、12 ソース電極、14 ドレイン電極、16 P⁺ドレイン領域、18 P⁺領域、20 P⁺領域、22 P⁺基板、24 N⁺ドレイン領域、26 N⁻ドリフト領域、28 N⁺ソース領域、30 P⁺ドレイン領域、32 MOSゲート。

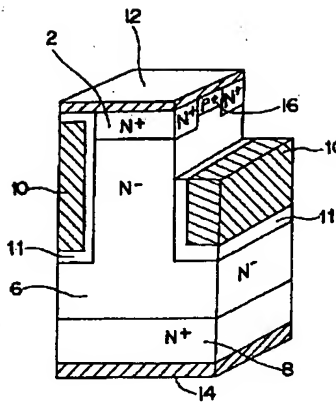
【図1】



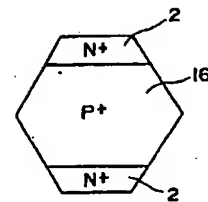
【図2】



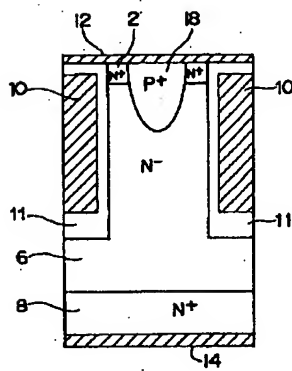
【図3】



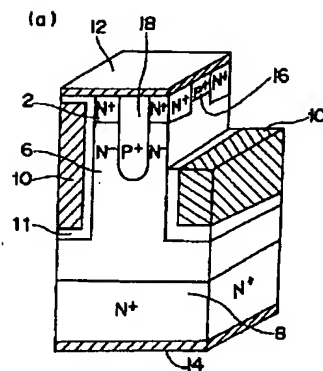
【図10】



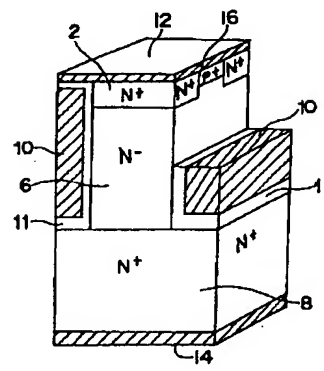
【図4】



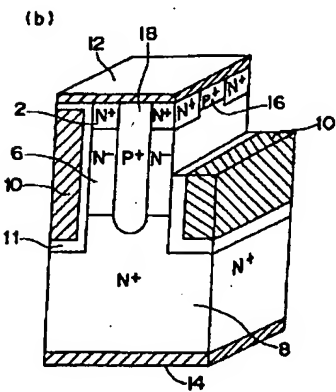
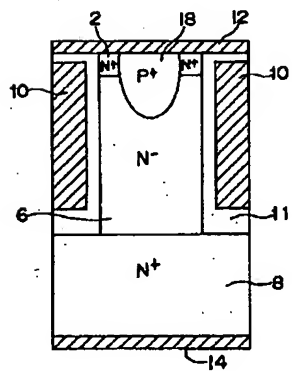
【図5】



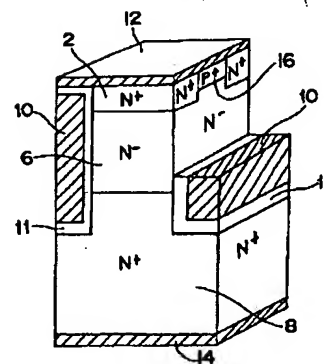
【図6】



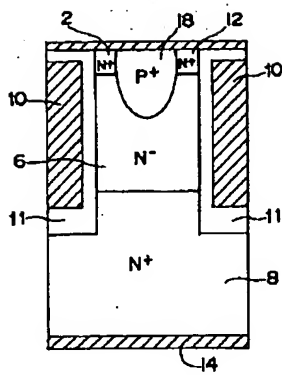
【図7】



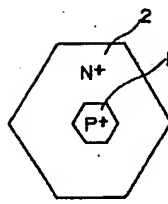
【図8】



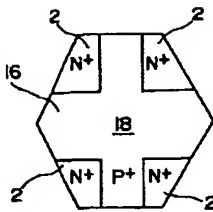
【図9】



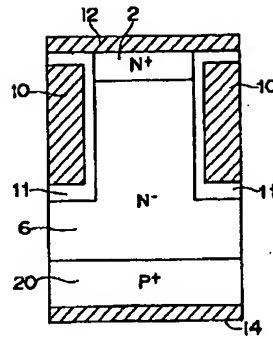
【図11】



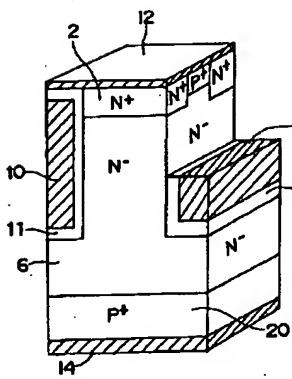
【図12】



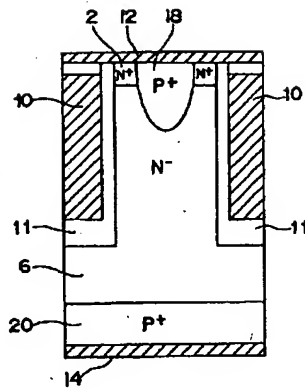
【図13】



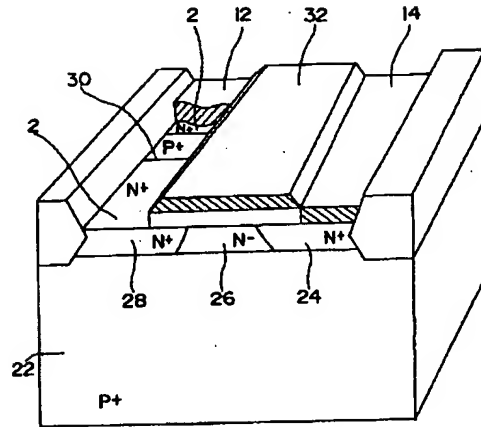
【図14】



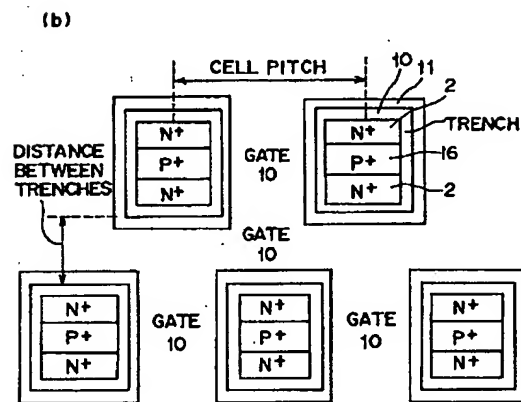
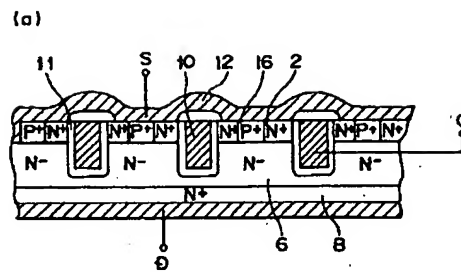
【図15】



【図16】



【圖 17】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成11年(1999)10月29日

【公開番号】特開平8-107204
 【公開日】平成8年(1996)4月23日
 【年通号数】公開特許公報8-1073
 【出願番号】特願平7-221580
 【国際特許分類第6版】
 H01L 29/78
 【F I】
 H01L 29/78 652 B

【手続補正書】

【提出日】平成9年2月6日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】図16(a)(b)に、デバイスがP⁺基板22上に形成された、発明の水平伝導の具体例を示す。オン状態において、電流は、N⁺ドレイン領域24から、N⁻ドリフト領域26を通して、N⁺ソース領域28に流れる。図3の、垂直伝導の具体例と一致するように、P⁺ドレイン領域30が、半導体ウエハ上に、N⁺ソース領域28に隣接する場所に、上部表面からウエハ内に延びて形成される。MOSゲート32は、N⁻ドリフト領域26にかぶさる。MOSゲート32に、負電圧を印加した状態では、P⁺領域30は、N⁻ドリフト領域26で形成された正孔のためのドレインを形成する。このように、ふたたび、正孔が形成されるやいなや、正孔は電場により、縦型p-チャネルMOSFETにより、P⁺領域30に掃き出され、結果としてN⁻ドリフト領域26の“深い空乏”となる。明らかに、本発明の多くの他の態様が可能である。例えば、前に述べた全ての具体例において、領域のドーピング極性をおよび印加電圧を逆にすることができ、これにより、電流も逆方向に流れる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】図16

【補正方法】変更

【補正内容】

【図16】 (a)(b)は、本発明の水平伝導の具体

例を示す。

【手続補正3】

【補正対象書類名】図面

【補正対象項目名】図16

【補正方法】変更

【補正内容】

【図16】

